

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05235350 A**

(43) Date of publication of application: **10.09.83**

(51) Int. Cl. **H01L 29/784**  
**H01L 21/84**  
**H01L 27/092**  
**H01L 27/12**

(21) Application number: **04039820**

(71) Applicant: **FUJITSU LTD**

(22) Date of filing: **26.02.92**

(72) Inventor: **MAKINO TAKAMI**

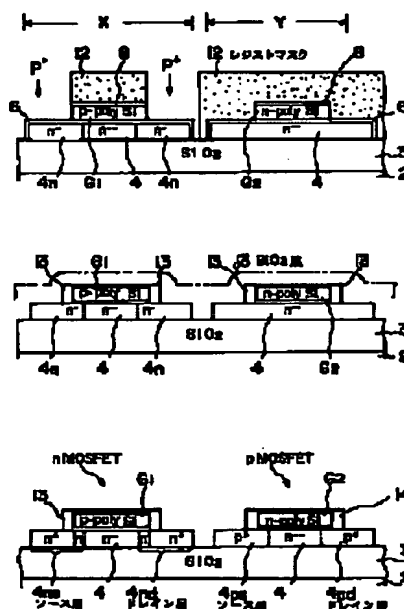
(54) SEMICONDUCTOR DEVICE

(57) Abstract

**PURPOSE:** To provide a semiconductor device in which both n-type and p-type MOSFETs, easily adjustable in threshold, are formed in a semiconductor wafer of good quality that is easily manufactured.

**CONSTITUTION:** A semiconductor device comprises p-type and n-type MOSFETs formed in a semiconductor layer 4 on an insulating layer 3. Both p-type and n-type MOSFETs have channel regions of the same conductivity type at impurity concentration of more than  $1 \times 10^{13}/\text{cm}^3$ . The semiconductor layer 4 has a thickness equal to or less than the depth of the depletion layer that extends from the surface of the semiconductor layer 4 when no gate voltage is applied.

COPYRIGHT: (C)1993,JPO&Japio



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-235350

(43)公開日 平成5年(1993)9月10日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784		9171-4M		
21/84				
27/092		9056-4M	H 0 1 L 29/ 78	3 1 1 C
		7342-4M	27/ 08	3 2 1 B
審査請求 未請求 請求項の数 2(全 6 頁) 最終頁に続く				

(21)出願番号 特願平4-39820

(22)出願日 平成4年(1992)2月26日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 牧野 孝実

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 岡本 啓三

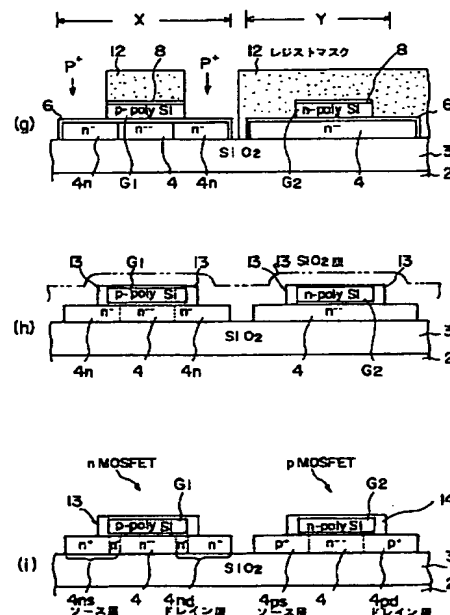
(54)【発明の名称】 半導体装置

(57)【要約】

【目的】絶縁層上の半導体層にMOS型電界効果トランジスタを形成して構成される半導体装置に関し、良質で製造の容易なウェハから素子形成半導体層を形成し、閾値の調整が容易なnMOSFETとpMOSFETを併存させることを目的とする。

【構成】絶縁層3上の素子形成半導体層4に、p型MOSFETとn型MOSFETを併存させて構成される半導体装置において、前記素子形成半導体層4のうち、前記p型MOSFETと前記n型MOSFETの双方のチャネル領域は、不純物濃度 $1 \times 10^{11}/\text{cm}^2$ 以上の不純物が含まれて同一導電型になされているとともに、前記素子形成半導体層4の厚さは、ゲート電圧を印加しない状態で前記素子形成半導体層4の表面から広がる空乏層の深さと同一又はそれ以下に形成されていることを含み構成する。

本発明の一実施例装置の製造工程を示す断面図(その3)



## 【特許請求の範囲】

【請求項1】絶縁層(3)上の素子形成半導体層(4)に、p型MOS電界効果トランジスタとn型MOS電界効果トランジスタを併存させて構成される半導体装置において、

前記素子形成半導体層(4)のうち、前記p型MOS電界効果トランジスタと前記n型MOS電界効果トランジスタの双方のチャネル領域は、不純物濃度 $1 \times 10^{13} / \text{cm}^3$ 以上の不純物が含まれて同一導電型となっているとともに、

前記素子形成半導体層(4)の厚さは、ゲート電圧を加えない状態で前記素子形成半導体層(4)の表面から広がる空乏層の深さと同一又はそれ以下に形成されていることを特徴とする半導体装置。

【請求項2】前記n型MOS電界効果トランジスタのゲート電極( $G_1$ )はp型不純物含有半導体により形成される一方、前記p型MOS電界効果トランジスタのゲート電極( $G_2$ )はn型不純物含有半導体によって形成されていることを特徴とする請求項1記載の半導体装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置に関し、より詳しくは、絶縁層上の半導体層にMOS型電界効果トランジスタを形成して構成される半導体装置に関する。

【0002】近年の半導体デバイスの高性能化は、トランジスタの微細化によるトランジスタ単体性能の向上によるところが大きい。高性能のトランジスタのひとつとして最近注目を集めているのがSOI(semiconductor on insulator)基板に形成される薄膜MOSFETである。

【0003】

【従来の技術】半導体装置形成用基板として、貼合わせ法、SIMOX等により形成されるSOI基板が提案されている。このSOI基板の素子形成半導体層に相補型MOS電界効果トランジスタ(CMOSFET)を形成した一般的な断面構造を示すと図4(a)のようになる。なお、同図においては、層間絶縁膜や配線層等を省略してある。

【0004】そのnMOSFETは、図4(a)の左側に示すように、SOI基板40の絶縁膜41上に形成された素子形成半導体層42の上に、絶縁膜43を介してゲート電極44を形成し、また、その両側にLDD構造のn型ソース/ドレイン層45s、45dを形成してなるもので、ゲート電極44の下の方のチャネル領域 $C_1$ はp<sup>-</sup>型となっている。

【0005】また、pMOSFETは、図4(a)の右側に示すように、絶縁膜層41上の素子形成半導体層46の上に絶縁膜47を介して形成されたゲート電極48と、その両側の素子形成半導体層46に形成したp<sup>+</sup>型のソース/ドレイン層49s、49dとを有し、そのチャ

ネル領域 $C_2$ はn<sup>-</sup>型となっている。

【0006】このような構造によれば、nMOSFETとpMOSFETのそれぞれの閾値電圧 $V_{th}$ の合わせ込みは、通常のパルク半導体基板に形成されるCMOSFETと同様に、不純物をイオン注入することにより行っている。

【0007】しかし、nMOSFETとpMOSFETの素子形成半導体層42、47のチャネル領域 $C_1$ 、 $C_2$ にイオン注入をするにはマスク形成等の手間がかかり、また、素子形成半導体層42、47の膜厚は薄いので、拡散による不純物濃度分布がその厚さによって変動する等の不都合がある。

【0008】そこで、このような問題を回避するために、本出願人は、特願平2-306844号において図4(b)に示す構造のMOSFETを提案した。この装置は、SOI基板50上に形成するnMOSFETとpMOSFETの双方の素子形成半導体層52、56のチャネル領域 $C_1$ 、 $C_2$ を、真性半導体又はそれに近い非常に極めて低い不純物濃度(例えば $1 \times 10^{13} / \text{cm}^3$ 以下)にしたものである。

【0009】なお、図中符号51は、素子形成半導体層52、56の下の方の絶縁膜層、53、57はゲート絶縁膜、54、58はゲート電極、55s、59sはソース層、55d、59dはドレイン層を示している。

【0010】この場合、nMOSFETのゲート電極54をn型にすると、仕事関数差の関係から、ドレイン電流・ゲート電圧特性がデプレッション型となるので、その導電型をp型にしてエンハンスメント型トランジスタとする。また、pMOSFET58は、ゲート電圧の極性が逆なのでゲート電極にはn型を用いる。

【0011】これにより、素子形成半導体層52、57のチャネル領域への不純物の導入は不要となる。なお、nMOSFETのゲート電極54の不純物導入は、pMOSFETのソース/ドレイン層55s、55dを形成する際に同時に行えば足り、また、pMOSFETのゲート電極58はnMOSFETのソース/ドレイン層59s、59dを形成する際に行えばよいので、特に問題はない。

【0012】

【発明が解決しようとする課題】しかし、この構造の装置によれば、素子形成半導体層42、47の不純物濃度を真性に近いほど低くしているので、結晶欠陥の少ない良質のウェハの製造が難しく、このウェハから素子形成半導体層42、47を形成したSOI基板を使用する場合には歩留りが悪く、量産性が望めないといったきらいがある。

【0013】本発明はこのような問題に鑑みてなされたものであって、良質で製造の容易なウェハから素子形成半導体層を形成し、しかも閾値の調整が容易なnMOSFETとpMOSFETを併存させることができる半導

体装置を提供することを目的とする。

【0014】

【課題を解決するための手段】上記した課題は、図3(i)に例示するように、絶縁層3上の素子形成半導体層4に、p型MOS電界効果トランジスタとn型MOS電界効果トランジスタを併存させて構成される半導体装置において、前記素子形成半導体層4のうち、前記p型MOS電界効果トランジスタと前記n型MOS電界効果トランジスタの双方のチャネル領域は、不純物濃度 $1 \times 10^{13} / \text{cm}^3$ 以上の不純物が含まれて同一導電型になされ

ているとともに、前記素子形成半導体層4の厚さは、ゲート電圧を印加しない状態で前記素子形成半導体層4の表面から広がる空乏層の深さと同一又はそれ以下に形成されていることを特徴とする半導体装置により達成する。

【0015】

または、前記n型MOS電界効果トランジスタのゲート電極 $G_1$ はp型不純物含有半導体により形成される一方、前記p型MOS電界効果トランジスタのゲート電極 $G_2$ はn型不純物含有半導体によって形成されていることを特徴とする半導体装置により達成する。

【0016】

【作 用】本発明によれば、絶縁層3上の素子形成用半導体層4の上に形成されるpMOSFETとnMOSFETの双方のチャネル領域を同一導電型にするとともに、その不純物濃度を $1 \times 10^{13} / \text{cm}^3$ 以上とし、しかも、素子形成半導体層4の厚さをその表面から広がる空乏層の深さと同一又はそれよりも小さくしている。

【0017】このために、pMOSFETとnMOSFETのチャネル領域の素子形成用半導体層4は、ゲート電圧を印加しないときにその下の絶縁膜3に到る深さまで完全に空乏化し、不純物の導電型による影響はなくなり、通常のトランジスタ動作が行える。

【0018】したがって、一般的な不純物濃度のウェハから素子形成用半導体層4を形成でき、結晶の品質を良くし、しかも量産性の良い高性能のデバイスの製造が可能になる。

【0019】また、pMOSFETのゲート電極 $G_1$ をn型不純物含有半導体より形成する一方、nMOSFETのゲート電極 $G_2$ をp型不純物含有半導体により形成しているために、仕事関数差の関係より、それらのMOSFETは、チャネル領域の不純物を打ち分けずにエンハンスメント型になる。このため、工程も簡略化される。

【0020】

【実施例】図1～3は、本発明の一実施例装置の製造工程を示す断面図で、図3(i)は、その工程を経て形成された本発明の一実施例装置を示すものである。

【0021】図において符号1は、貼合わせ法、SIMOX等により形成されたSOI基板で、このSOI基板1は、シリコンよりなる支持層2と、 $\text{SiO}_2$ よりなる埋込

絶縁層3と、例えば膜厚200～5000Åの単結晶シリコンよりなるn<sup>++</sup>型の素子形成半導体層4から構成されており、そのうちの素子形成半導体層4は、 $1 \times 10^{13} \sim 1 \times 10^{17} / \text{cm}^3$ 程度の低濃度の燐を含んで形成されている。

【0022】そこで、まず図1(a)に示すように、フォトリソを塗布し、これを露光、現像して、nMOS形成領域XとpMOS形成領域Yを覆うレジストマスク5を形成した後に、レジストマスク5から露出した領域の素子形成半導体層4を塩素系ガスを用いて反応性イオンエッチング(RIE)法によりエッチング除去し、素子形成半導体層4をnMOS形成領域XとpMOS形成領域Yに島状に残存させる(図1(b))。

【0023】次に、レジストマスク5を除去してから、島状の素子形成半導体層4を熱酸化してその表面に100～200Åの $\text{SiO}_2$ 絶縁膜6を形成した後に、例えばCVD法によりノンドーブ多結晶シリコン膜7を2000Å程度成長し、その表面を熱酸化して100～200Åの膜厚の $\text{SiO}_2$ 膜8を形成する(図1(c))。反応ガスとしては $\text{SiH}_4$ 、 $\text{Si}_2\text{H}_6$ 等がある。

【0024】この後に、図2(d)に示すように、pMOS形成領域Yを覆うレジストマスク9を形成し、表出しているnMOS形成領域Xの多結晶シリコン膜7に硼素をイオン注入してp型化する。この場合のイオン注入の条件としては、例えばドーズ量を $1 \times 10^{13} \sim 1 \times 10^{16} / \text{cm}^2$ 、加速エネルギーを30keVとする。

【0025】さらに、レジストマスク9を除去してから、今度は図2(e)に示すように、nMOS形成領域Xを覆うレジストマスク10を形成し、pMOS形成領域Yに燐又は砒素をイオン注入してその領域の多結晶シリコン膜7をn型化する。この場合のイオン注入は、前の工程のp型不純物と同一条件にする。

【0026】ついで、レジストマスク10を除去してから、再びフォトリソを塗布してこれを露光、現像し、nMOS形成領域XとpMOS形成領域Yの各ゲート領域を覆うレジストマスク11を形成し、このレジストマスク11から露出した $\text{SiO}_2$ 膜とn型及びp型の多結晶シリコン膜7を、図2(f)に示すようにRIE法により除去する。つづいてレジストマスク11を除去する。

【0027】これにより、pMOS形成領域YとnMOS形成領域Xに残った多結晶シリコン膜7をそれぞれゲート電極 $G_1$ 、 $G_2$ とする。次に、図3(a)に示すように、レジストマスク12を形成してpMOS形成領域Yと、nMOS形成領域Xのゲート電極 $G_1$ とを覆った後に、そのゲート電極 $G_1$ の両側にあるn<sup>++</sup>型半導体層4に例えば燐をドーズ量 $1 \times 10^{13} / \text{cm}^2$ でイオン注入してn<sup>+</sup>型層4nを形成する。

【0028】この後に、CVD法により全体に $\text{SiO}_2$ 膜13を1000～2000Åの厚さに形成し、これをRIE法により垂直方向に異方性エッチングを行い、そのSi

Q膜13をゲート電極 $G_1$ 、 $G_2$ の側部にのみ残す(図3(h))。

【0029】つづいて、pMOS形成領域Yのゲート電極 $G_2$ とnMOS形成領域Xとをレジストマスク(不図示)によって覆い、砒素を $1 \times 10^{13} \sim 1 \times 10^{16}/\text{cm}^2$ のドーズ量でイオン注入して、図3(i)の右に示すようなpMOSFETのソース層4ps、ドレイン層4pdを形成する。

【0030】さらに、レジストマスクを取り替えて、nMOS形成領域Xのゲート電極 $G_1$ とpMOS形成領域Yとをレジスト(不図示)によって覆い、そのゲート電極 $G_1$ の両側にある $n^+$ 型層4nに砒素を $1 \times 10^{13} \sim 1 \times 10^{16}/\text{cm}^2$ のドーズ量でイオン注入し、図3(i)の左側に示すようなnMOSFETのソース層4nsとドレイン層4ndを形成する。それらのソース層4nsとドレイン層4ndは、ゲート電極 $G_1$ の近傍に $n^+$ 型層4nを有してLDD構造となる。

【0031】そして、この後に層間絶縁膜を形成し、活性化熱処理、アルミニウム配線等を行ってトランジスタを完成させることになる。なお、素子形成半導体層4及び多結晶シリコン膜7にイオン注入された不純物は、注入後の成膜温度または独立した加熱処理によって活性化される。

【0032】次に、以上の工程を経て形成されたnMOSFETとpMOSFETの作用について説明する。上記したnMOSFETのチャネル領域にはゲート電極との間の仕事関数差により、ゲートにゼロバイアスの状態でも、その表面から空乏層が広がり、その深さは次の関係にある。

【0033】〔空乏層の深さ〕 $\propto$ 〔不純物濃度〕 $^{-1/2}$   
例えば、 $1 \times 10^{14}/\text{cm}^3$ の場合には $1 \mu\text{m}$ の深さであり、また、 $1 \times 10^{16}/\text{cm}^3$ の場合には $0.1 \mu\text{m}$ の深さである。

【0034】ところで、上記した素子形成半導体層4に形成されたnMOSFET及びpMOSFETのチャネル領域の不純物濃度は $1 \times 10^{13} \sim 1 \times 10^{17}/\text{cm}^3$ であり、チャネル領域の表面から生じる空乏層の深さは、 $3 \sim 0.03 \mu\text{m}$ 程度となるので、素子形成半導体層4の厚さをそれに合わせれば、チャネル領域は完全に空乏化している状態になる。

【0035】また、nMOSFETのゲート電極にはp型不純物を、pMOSFETのゲート電極にはn型不純物を導入しているので、仕事関数差の関係より、それらのMOSFETは、エンハンスメント型となっており、閾値電圧の調整が不要になる。このため、チャネル領域の不純物イオン注入を打ち分ける必要がなくなり、工程も簡略化される。

【0036】したがって、ウェハとして通常使用されている $1 \times 10^{11}/\text{cm}^3$ 程度の不純物濃度のものから素子形成半導体層4を形成し、その厚さを $0.3 \mu\text{m}$ 以下に

すれば、結晶の品質もよく、量産性が可能になり、低コストで高性能のデバイスの製造が可能となる。

【0037】なお、ゲート電極 $G_1$ 、 $G_2$ に不純物を注入する場合には、図2(d),(e)に示すように独立して行ってもよいが、ソース層4ns、4ps、ドレイン層4nd、4pdに不純物をイオン注入する際にマスクパターンを変えて同時に注入すれば、工程が簡略化される。

【0038】また、上記した実施例では、pMOSFET、nMOSFETのチャネル領域となる素子形成半導体層4の不純物を燐や砒素を導入した $n^+$ 型としているが、砒素等を用いて $p^+$ 型にしてもチャネル領域は空乏化することになる。この場合には、nMOSFETは横方向に $n^+ - p - n^+$ 構造となり、pMOSFETは $p^+ - p - p^+$ 構造となり、その領域のp型不純物濃度や素子形成半導体層の厚さも上記と同じ条件で決まる。

【0039】さらに、閾値電圧の制御は、nMOSFET、pMOSFETのそれぞれのゲート電極の導電型を相違させることにより対応しているが、nMOSFET又はpMOSFETのいずれか一方のチャネル領域に不純物をイオン注入して濃度を相違させて微調整してもよい。これによる各チャネル領域は、同一の導電型とする。

【0040】また、不純物濃度は上記した数字に限定されるものではなく、 $10^{13}/\text{cm}^3$ 以上であればよく、これに決まる空乏層の深さに応じて素子形成用半導体層の厚さを決定すればよい。

【0041】

【発明の効果】以上述べたように本発明によれば、絶縁層上の素子形成用半導体層の上に形成されるpMOSFETとnMOSFETの双方はチャネル領域を同一導電型にするとともに、その不純物濃度を $1 \times 10^{13}/\text{cm}^3$ 以上にし、しかも、素子形成層の厚さを、その表面から広がる空乏層の深さと同一又はそれより小さくしているので、素子形成用半導体層として使用するウェハの不純物濃度を一般的な値と同じにでき、素子形成用半導体層の結晶性を良くし、量産性が可能な高性能のデバイスの製造が可能になる。

【0042】また、pMOSFETのゲート電極をn型不純物含有半導体より形成する一方nMOSFETのゲート電極をp型不純物含有半導体により形成しているので、仕事関数差の関係より、それらのMOSFETは、チャネル領域の不純物を打ち分けずにエンハンスメント型にすることが可能になる。このため、工程の簡略化も可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例装置の製造工程を示す断面図(その1)である。

【図2】本発明の一実施例装置の製造工程を示す断面図(その2)である。

【図3】本発明の一実施例装置の製造工程を示す断面図

(その3)である。

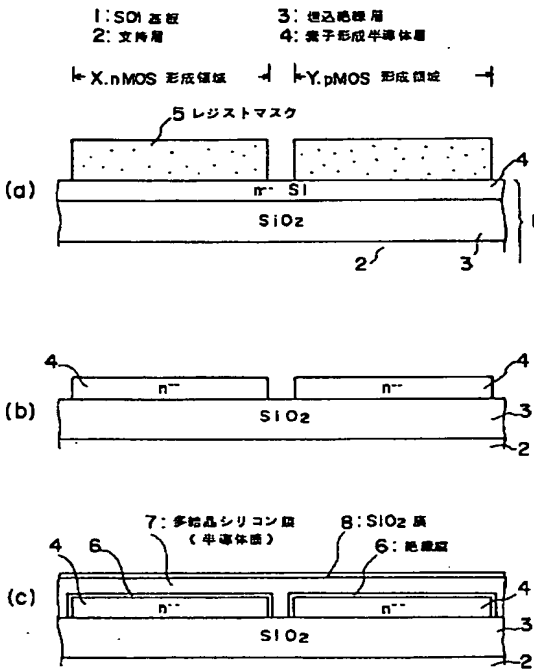
【図4】従来装置の一例を示す断面図である。

【符号の説明】

- 1 SOI基板
- 2 支持層
- 3 埋込絶縁層

【図1】

本発明の一実施例装置の製造工程を示す断面図(その1)



\* 4 素子形成半導体層

5、9、10、11、12 レジストマスク

6 絶縁膜

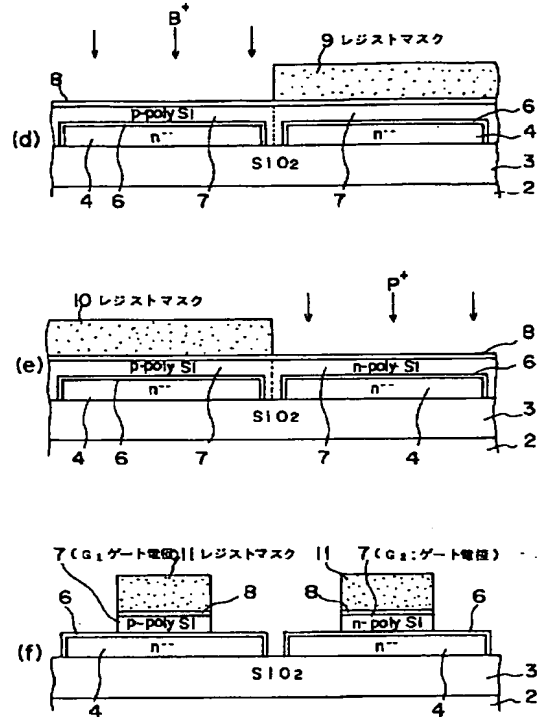
7 多結晶シリコン膜 (半導体膜)

8、13 SiO<sub>2</sub>膜

\* G<sub>1</sub>、G<sub>2</sub> ゲート電極

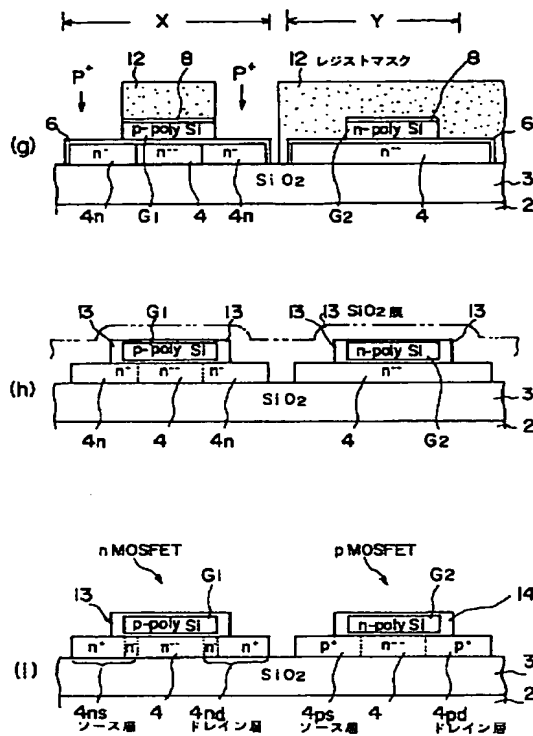
【図2】

本発明の一実施例装置の製造工程を示す断面図(その2)



【図3】

本発明の一実施例装置の製造工程を示す断面図（その3）

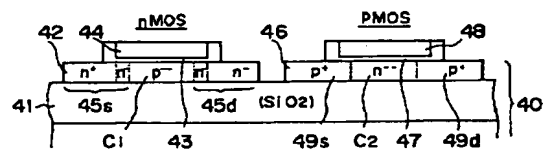


【図4】

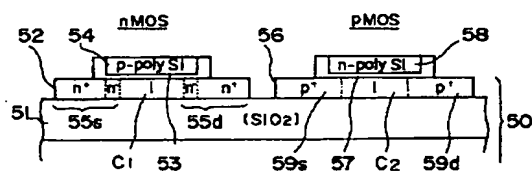
従来装置の一例を示す断面図

(a)

40: SOI基板  
41: 絶縁膜  
42, 47: 電子形成半導体層  
43: 絶縁膜  
44, 49: ゲート電極  
45, 46: ソース/ドレイン層  
50, 51: ソース/ドレイン層



(b)



フロントページの続き

(51)Int.Cl.<sup>3</sup>

H01L 27/12

識別記号 庁内整理番号

Z 8728-4M

F I

技術表示箇所